

## ABSTRACT OF CITATION 8

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 05048905 A

(43) Date of publication of application: 26.02.93

(51) Int. Cl      H04N 1/41  
                   G06F 15/66  
                   H03M 7/30  
                   H04N 7/13

(21) Application number: 03204273

(22) Date of filing: 14.08.91

(71) Applicant: TOSHIBA CORP

(72) Inventor: KIKUCHI YOSHIHIRO  
                   DATAKE KENJI  
                   WATANABE TOSHIAKI

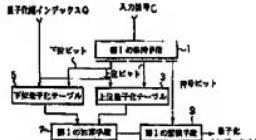
(54) QUANTIZING DEVICE AND REVERSE QUANTIZING DEVICE

COPYRIGHT: (C)1993,JPO&amp;Japio

## (57) Abstract:

PURPOSE: To perform the quantization by the quantizing table of small capacity and to perform the small hardware quantity by dividing the absolute value of an input signal into a high order and a low order and dividing a quantizing table into a high order and a low order.

CONSTITUTION: A quantizing device divides the positive and negative codes and the absolute value of an input signal C, holds them at a first holding means 1, the high order bit and a quantizing width index Q is inputted to a high order quantizing table 3 and a table is constituted. In the same manner, a low order bit and the index Q are inputted to a low order quantizing table 5 and the table is constituted. These outputs are added by a first adding means 7, a part of the code of the means 7 and the output of the means 7 are converted by a converting means 9, and a quantizing index X is outputted. Thus, the quantizing can be performed by the quantizing table of small capacity.



(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-48905

(43)公開日 平成5年(1993)2月26日

(51)Int.Cl. <sup>5</sup>	識別記号	序内登録番号	F I	技術表示箇所
H 04 N 1/41		B 8839-5C		
G 06 F 15/66	3 3 0	A 8420-5L		
H 03 M 7/30		8836-5J		
H 04 N 7/13	Z	4228-5C		

審査請求 未請求 請求項の数2(全11頁)

(21)出願番号	特願平3-204273	(71)出願人	000003078
(22)出願日	平成3年(1991)8月14日	株式会社東芝	神奈川県川崎市幸区堀川町72番地
		(72)発明者	堺地 義浩 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内
		(72)発明者	牧竹 雄志 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内
		(72)発明者	渡邊 敏男 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内
		(74)代理人	弁理士 三好 秀和 (外4名)

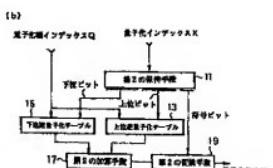
## (54)【発明の名称】量子化装置及び逆量子化装置

## (57)【要約】

【目的】 本発明は画像や音声の高能率符号化装置及び復号装置における量子化装置及び逆量子化装置に関し、容量の小さなテーブルを用いて量子化及び逆量子化を行なう量子化装置及び逆量子化装置を提供することを目的とする。

【構成】 入力信号Cの正または負の符号及び絶対値を分割して保持する第1の保持手段1と、第1の保持手段1の絶対値の上位ビットと量子化幅インデックスQを入力して表を構成する上位量子化テーブル3と、第1の保持手段1の絶対値の下位ビットと量子化幅インデックスQを入力して表を構成する下位量子化テーブル5と、上位量子化テーブル3と下位量子化テーブル5の出力を加算する第1の加算手段7と、第1の保持手段1の符号及び第1の加算手段7の出力を基に得られる値の少なくとも一部に対し所定の変換を施す第1の変換手段9とを有して構成する。

【効果】 量子化、逆量子化テーブルの大きさが削減される。



## 【特許請求の範囲】

【請求項1】 入力信号の正または負の符号及び絶対値を分割して保持する第1の保持手段と、前記第1の保持手段の絶対値の上位ビットと量子化幅インデックスを入力として表を構成する上位量子化テーブルと、前記第1の保持手段の絶対値の下位ビットと量子化幅インデックスを入力として表を構成する下位量子化テーブルと、前記上位量子化テーブルと前記下位量子化テーブルの出力を加算する第1の加算手段と、前記第1の保持手段の符号及び前記第1の加算手段の出力を基に得られる値の少なくとも一部に対し所定の変換を施す第1の変換手段とを有することを特徴とする量子化装置。

【請求項2】 量子化インデックスの正または負の符号及び絶対値を分割して保持する第2の保持手段と、前記第2の保持手段の絶対値の上位ビットと量子化幅インデックスを入力して表を構成する上位逆量子化テーブルと、前記第2の保持手段の絶対値の下位ビットと量子化幅インデックスを入力して表を構成する下位逆量子化テーブルと、前記上位逆量子化テーブルと前記下位逆量子化テーブルの出力を加算する第2の加算手段と、前記第2の保持手段の符号及び前記第2の加算手段の出力を基に得られる値の少なくとも一部に対し所定の変換を施す第2の変換手段とを有することを特徴とする逆量子化装置。

## 〔発明の詳細な説明〕

## 【0001】

〔産業上の利用分野〕 本発明は、画像や音声の高効率符号化装置及び復号装置における量子化装置及び逆量子化装置に関する。

## 【0002】

〔従来の技術〕 量子化装置への入力信号をC、量子化幅インデックスをQ、量子化インデックスをXとする。例えば、量子化幅が $m \times Q$ の場合、量子化インデックスXは入力信号Cと量子化幅インデックスQから次のような演算を行なって求められる値である。

$$[0003] X = INT(C / (m \times Q))$$

但し、INTは小数点未満の切り捨てを行なう関数である。

【0004】 図5(a)に従来技術を用いた量子化装置のブロック図を示す。これは、上式の演算をテーブルルックアップにより行なうものである。つまり、入力信号C及び量子化幅インデックスQを結合した数値をアドレスとして量子化テーブル101の内容を量子化インデックスXとして読み出すもので、入力信号Cがcビット、量子化幅インデックスがbビット、量子化インデックスXがqビットの場合、量子化テーブル101の大きさは $2^{(c+b)} \times q$ ビット必要である。例えば、入力信号Cが12ビット、量子化幅インデックスQが5ビット、量子化インデックスXが8ビットの場合、約1Mビットの大きさの量子化テーブル101が必要である。

【0005】 逆量子化装置は、量子化の逆の操作を行なう装置であり、量子化インデックスXと量子化幅インデックスQを入力として量子化代表値Rを出力する装置である。例えば、量子化幅が $m \times Q$ の場合、量子化インデックスX及び量子化幅インデックスQと量子化代表値Rの関係は次式で表される。

$$[0006] R = m \times Q \times X$$

図5(b)に従来技術を用いた逆量子化装置のブロック図を示す。これは、上式の演算をテーブルルックアップにより行なうものである。つまり、量子化インデックスX及び量子化幅インデックスQを結合した数値をアドレスとして逆量子化テーブル103の内容を量子化代表値Rとして読み出すもので、量子化インデックスXがaビット、量子化幅インデックスQがbビット、量子化代表値Rがcビットの場合、逆量子化テーブル103の大きさは $2^{(a+b)} \times c$ ビット必要である。例えば、量子化インデックスXが8ビット、量子化幅インデックスQが5ビット、量子化代表値Rが12ビットの場合、約98kビットの大きさの逆量子化テーブル103が必要である。

## 【0007】

【発明が解決しようとする課題】 以上のように、従来の入力信号と量子化幅インデックスを直接用いてテーブルルックアップを行なう量子化装置では、量子化テーブルの大きさが非常に大きくなってしまうという問題点があり、また、量子化インデックス及び量子化幅インデックスを直接用いてテーブルルックアップを行なう逆量子化装置でも、逆量子化テーブルの大きさが非常に大きくなってしまうという問題点があった。

【0008】 本発明は、上記問題点を解決するもので、その目的は、容量の小さなテーブルを用いて量子化及び逆量子化を行なう量子化装置及び逆量子化装置を提供することである。

## 【0009】

【課題を解決するための手段】 前記課題を解決するためには、本発明の量子化装置の特徴は、図1(a)に示す如く、入力信号Cの正または負の符号及び絶対値を分割して保持する第1の保持手段1と、前記第1の保持手段1の絶対値の上位ビットと量子化インデックスQを入力して表を構成する上位量子化テーブル3と、前記第1の保持手段1の絶対値の下位ビットと量子化幅インデックスQを入力して表を構成する下位量子化テーブル5と、前記上位量子化テーブル3と前記下位量子化テーブル5の出力を加算する第1の加算手段7と、前記第1の保持手段1の符号及び前記第1の加算手段7の出力を基に得られる値の少なくとも一部に対し所定の変換を施す第1の変換手段9とを具備することである。

【0010】 また本発明の逆量子化装置の特徴は、図1(b)に示す如く、量子化インデックスXの正または負の符号及び絶対値を分割して保持する第2の保持手段1

1と、前記第2の保持手段1の1の絶対値の上位ビットと量子化幅インデックスQを入力して表を構成する上位逆量子化テーブル13と、前記第2の保持手段1の絶対値の下位ビットと量子化幅インデックスQを入力して表を構成する下位逆量子化テーブル15と、前記上位逆量子化テーブル13と前記下位逆量子化テーブル15の出力を加算する第2の加算手段17と、前記第2の保持手段1の符号及び前記第2の加算手段17の出力を基に得られる値の少なくとも一部に対し所定の変換を施す第2の変換手段19とを具備することである。

【0011】

【作用】本発明の量子化装置では、第1の保持手段1で入力信号Cの絶対値をとて保持し、この絶対値を上位ビット及び下位ビットに分けて、量子化テーブルを上位量子化テーブル3及び下位量子化テーブル5に分けて構成する。量子化幅インデックスQがbビットで、入力信号C(cビット)の絶対値の上位をd1ビット、下位をd2ビット(c=d1+d2+1)とした場合、上位逆量子化テーブル3及び下位逆量子化テーブル5の出力が、それぞれa1及びa2ビットならば、テーブルの大きさの合計は $(a_1^{d_1+1}) \times a_1 + 1 + 2^{(d_2+1)} \times a_2$ ビットとなる。

【0012】また、本発明の逆量子化装置では、第2の保持手段1の上位逆量子化インデックスXの絶対値をとて保持し、この絶対値を上位ビット及び下位ビットに分けて、逆量子化テーブルを上位逆量子化テーブル13及び下位逆量子化テーブル15に分けて構成する。量子化幅インデックスQがbビットで、量子化幅インデックスX(aビット)の絶対値の上位をa1ビット、下位をa2ビット(a=a1+a2+1)とした場合、上位逆量子化テーブル13及び下位逆量子化テーブル15の出力が、それぞれc1及びc2ビットならば、テーブルの大きさの合計は $2^{(a_1+1)} \times c_1 + 1 + 2^{(a_2+1)} \times c_2$ ビットとなる。 $a = a_1 + a_2 + 1$ で、且つ $c_1 < c_2$ であるから、上位逆量子化テーブル13及び下位逆量子化テーブル15により構成される逆量子化テーブルの大きさは、従来技術による場合の逆量子化テーブルの大きさ $2^{(a+1)} \times c$ ビットに比べて削減される。

【0013】

【実施例】以下、本発明に係る実施例を図面に基づいて説明する。

【0014】図2に本発明の第1の実施例に係る逆量子化装置の構成を示す。

【0015】本実施例の逆量子化装置は、量子化インデックスX及び量子化幅インデックスQを入力して量子化代表値Rを出力するもので、その構成は、量子化インデックスXを保持する入力レジスタ11Aと、入力レジスタ11Aの絶対値XAの上位a1ビットXAと量子化幅インデックスQ(bビット)を結合した信号をアドレス入力として表を構成する上位逆量子化テーブル13Aと、

XLと量子化幅インデックスQ(bビット)を結合した信号をアドレス入力として表を構成する下位逆量子化テーブル15Aと、上位逆量子化テーブル13Aの出力c1ビットIQHと下位逆量子化テーブル15Aの出力(c2ビット)IQLの上位b+[log<sub>2</sub>m]ビットIQLHとを加算する加算器17Aと、入力レジスタ11Aの特号ビットXS、加算器17Aの出力、及び下位逆量子化テーブル15Aの出力IQLの下位a2ビットIQLLを結合して保持し、量子化代表値R(cビット)を出力する出力レジスタ19Aとから構成されている。

【0016】本実施例の逆量子化装置では、量子化幅はm×Qであり、量子化インデックスX、量子化幅インデックスQ、及び量子化代表値Rの関係は次式で表される。

【0017】 $R = m \times Q \times X$

入力レジスタ11Aは符号ビットXSと絶対値XAとを分けて保持し、更に絶対値XAは上位a1ビットXA及び下位a2ビットXLに分けて出力される。従って、 $a = a_1 + a_2 + 1$ である。

【0018】この入力レジスタ11Aの絶対値XAの上位a1ビットXA及び下位a2ビットXLは何れも、量子化幅インデックスQと共に、それぞれ上位逆量子化テーブル13A及び下位逆量子化テーブル15Aのドロス入力を構成し、上位逆量子化テーブル13A及び下位逆量子化テーブル15Aにおける入力XH、XL、及びQと出力IQH及びIQLの関係は、次式で表される。

【0019】

$IQH = m \times Q \times XH$

$IQL = m \times Q \times XL$

また、上位逆量子化テーブル13Aの出力IQHは $c_1 = a_1 + b + [\log_2 m]$ ビットであり、下位逆量子化テーブル15Aの出力IQLは $c_2 = a_2 + b + [\log_2 m]$ ビットである。ここで、[×]は数値×の小数点未満の切り上げ(シーリング: ceiling)を表す。

【0020】加算器17Aでは、上位逆量子化テーブル13Aの出力c1ビットIQHと下位逆量子化テーブル15Aの出力(c2ビット)IQLの上位b+[log<sub>2</sub>m]ビットは、下位IQLHとを加算する。この加算結果c1ビットは、下位IQLLとを多重复し、更に入力レジスタ11Aの符号ビットXSを結合して出力レジスタ19Aに保持する。そして、この出力レジスタ19Aから符号付き整数として量子化代表値Rが出力される。

【0021】ここで、本実施例の逆量子化装置の逆量子化テーブル13A及び15Aの大きさを、従来技術を用いた逆量子化テーブル103と比較する。 $a = 8$ 、 $b = 5$ 、 $m = 3$ の場合、 $c = 14$ であり、従来技術による逆量子化テーブル103の大きさは、

$$2^{(***)} \times c = 2^{(***)} \times 14 = 114, 688 \text{ (ビット)}$$

である。一方、本実施例の逆量子化テーブル13A及び15Aでは、a1=3、a2=4とすれば、上位逆量子化テーブル13A及び下位逆量子化テーブル15Aのモード

$$2^{(***)} \times c + 2^{(***)} \times c - 2^{(***)} \times 10 + 2^{(***)} \times 11 \\ = 8,192 \text{ (ビット)}$$

であり、従来技術の逆量子化テーブル103に比べて、14分の1の大きさに削減されている。

【0022】次に、図3に本発明の第2の実施例に係る逆量子化装置の構成図を示す。

【0023】本実施例の逆量子化装置は、量子化インデックスX及び量子化幅インデックスQを入力して量子化代表値Rを出力するもので、その構成は、量子化インデックスXを保持する入力レジスタ11Bと、入力レジスタ11Bの絶対値XAの上位a1ビットXHと置量子幅インデックスQ(bビット)を結合した信号をアドレス入力として表を構成する上位逆量子化テーブル13Bと、入力レジスタ11Bの絶対値XAの下位a2ビットXLと置量子幅インデックスQ(bビット)を結合した信号をアドレス入力として表を構成する下位逆量子化テーブル15Bと、上位逆量子化テーブル13Bの出力c

\*それぞれの出力のビット数は、c1=10、c2=11となり、上位逆量子化テーブル13A及び下位逆量子化テーブル15Aの大きさの合計は、

$$2^{(***)} \times c + 2^{(***)} \times c - 2^{(***)} \times 10 + 2^{(***)} \times 11 \\ = 8,192 \text{ (ビット)}$$

\* (c2ビット) IQHLの上位bビットIQLHとを加算する加算器17Bと、加算器17Bの出力及び下位逆量子化テーブル15Bの出力IQLの下位a2+1ビット

10 IQLHを結合して所定の値以下にクリップするクリップ回路18と、入力レジスタ11Bの符号ビットXS及びクリップ回路18出力a-1ビットを結合して保持する出力レジスタ19Bと、入力レジスタ11Bの絶対値XAが零であるか否かを判定して零信号Zを出力する零判定回路20と、出力レジスタ19Bの出力cビットに対して、零信号Zに基づき所定の変換を施して量子化代表値R(cビット)を出力する変換回路21とから構成されている。

【0024】本実施例の逆量子化装置では、量子化インデックスX、量子化幅インデックスQ、及び量子化代表値Rには、次の関係がある。

【0025】Qが奇数の場合

$$\begin{array}{ll} R=M1N(Q \times (2 \times X+1), U) & X>0 \\ R=0 & X=0 \\ R=MAX(Q \times (2 \times X-1), -L) & X<0 \end{array}$$

Qが偶数の場合

$$\begin{array}{ll} R=M1N(Q \times (2 \times X+1) \cdots 1, U) & X>0 \\ R=0 & X=0 \\ R=MAX(Q \times (2 \times X-1) \cdots 1, -L) & X<0 \end{array}$$

但し、MAX(x, y)はx, yのうち大きいほうの値を与える関数、MIN(x, y)はx, yのうち小さいほうの値を与える関数である。また、

$$U=2^{a-1}-1$$

$$L=2^{a-1}$$

で、Uはcビットでとり得る最大値、Lは最小値である。

【0026】入力レジスタ11Bは符号ビットXSと絶対値XAとを分けて保持し、更に絶対値XAは上位a1ビットXH及び下位a2ビットXLに分けて出力される。従って、a=a1+a2+1である。

【0027】この入力レジスタ11Aの絶対値XAの上位a1ビットXH及び下位a2ビットXLは何れも、量子化幅インデックスQと共に、それぞれ上位逆量子化テーブル13B及び下位逆量子化テーブル15Bのアドレス入力を構成し、上位逆量子化テーブル13B及び下位逆量子化テーブル15Bにおける入力XH、XL、及びQと出力IQH及びIQLの関係は、次式で表される。

【0028】

Qが奇数の場合

$$IQH=M1N(Q \times XH, U+1)$$

$$IQL=Q \times (2 \times XL+1)$$

Qが偶数の場合

$$IQH=MIN(Q \times XH, U+1)$$

$$IQL=Q \times (2 \times XL+1) \sim 1$$

また、上位逆量子化テーブル13Bの出力IQHはc1=c-a-2-1ビットであり、下位逆量子化テーブル15Bの出力IQLはc2=a2+b+1ビットである。

【0029】加算器17Bでは、上位逆量子化テーブル13Bの出力c1ビットIQHと下位逆量子化テーブル15Bの出力(c2ビット)IQLの上位bビットIQHとを加算する。この加算結果c1ビットは、下位逆量子化テーブル15Bの出力IQLの下位a2+1ビットIQLを多量化したc-1ビットの値として、クリップ回路18に入力される。クリップ回路18では、入力c-1ビットの値がより大きい場合、しにクリップする。

【0030】クリップ回路の出力c-1ビットは、出力レジスタ19Bで入力レジスタ11Bの符号ビットXSを結合して符号付き整数として保持される。更に、変換回路21では、この出力レジスタ19Bの出力cビットに対して、零判定回路20の結果に基づいて次の処理を

行なう。  
 [0031]  
 if 入力=U+1 then  
 出力R=U  
 else if |X|=0 then  
 出力R=0  
 else  
 出力R=入力  
 endif \*

$$2^{(***)} \times c = 2^{(***)} \times 12 = 98, 304 \text{ (ビット)}$$

である。一方、本実施例の逆量子化テーブル13B及び15Bでは、a1=3、a2=4とすれば、上位逆量子化テーブル13B及び15Bの大きさは、  

$$2^{(***)} \times c_1 + 2^{(***)} \times c_2 = 2^{(***)} \times 7 + 2^{(***)} \times 10 = 6, 912 \text{ (ビット)}$$

であり、従来技術の逆量子化テーブル103に比べて、約1/4分の1の大きさに削減されている。

[0034] 次に、図4に本発明の第3の実施例に係る量子化装置の構成図を示す。

[0035] 本実施例の量子化装置は、入力信号C及び量子化幅インデックスQを入力して量子化インデックスXを出力するもので、その構成は、入力信号Cを保持する人力レジスタ1Aと、人力レジスタ1Aの絶対値CAを2分の1ずつ1/2除算器2と、1/2除算器2の出力の上位d1ビットAHと量子化幅インデックスQ(bビット)を結合した信号をアドレス入力として表を構成する上位量子化テーブル3Aと、1/2除算器2の出力の下位d2ビットALと量子化幅インデックスQ(bビット)

$$X = \text{MAX}(\text{MIN}(\text{INT}(C/(2 \times Q)), M), -M)$$

とし、M=2<sup>d-1</sup>-1である。  
 [0036] 入力レジスタ1Aは符号ビットCSと絶対値CAとを分けて保持し、絶対値XAは1/2除算器2で2分の1され、小数点以下を切り捨てる。1/2除算器2の出力は上位d1ビットAH及び下位d2ビットALに分けて出力される。従って、c=d1+d2+2である。

[0037] この1/2除算器2の出力の上位d1ビット★

$$\begin{aligned} QH &= \text{MIN}(\text{INT}(AH \times 2 \times 2^{d-1}) / (Q \times 2) \times 2^b + 0, 5) \\ &/ 2^b, M \\ QL &= \text{MIN}(\text{INT}(AL \times 2) / (Q \times 2) \times 2^b + 0, 5) \\ &/ 2^b, M \end{aligned}$$

また、上位量子化テーブル3Aの出力QHはe1=a+b-1ビットであり、下位量子化テーブル5Aの出力QLはe2=d2+bビットである。

[0038] 加算器7Aでは、上位量子化テーブル3Aの出力e1ビットQHと下位量子化テーブル5Aの出力e2ビットQLとを加算する。この加算結果a-1ビットは、クリップ回路8に入力されて、Mより大きい場合、MCクリップされる。このクリップされた結果a-1ビットと入力レジスタ1Aの符号ビットCSを結合し

\*但し、|××|は数値××の絶対値を表す。

[0039] ここで、本実施例の逆量子化装置の逆量子化テーブル13B及び15Bの大きさを、従来技術を用いた逆量子化テーブル103と比較する。a=8、b=5、c=12の場合、従来技術による逆量子化テーブル103の大きさは、

【0040】ここで、本実施例の逆量子化装置の逆量子化テーブル5Aと、上位逆量子化テーブル3A及び下位逆量子化テーブル5Aの出力のビット数は、c1=7、c2=10となり、上位逆量子化テーブル13B及び下位逆量子化テーブル15Bの大きさの合計は、

【0041】ここで、本実施例の逆量子化装置では、入力信号C、量子化幅インデックスQ、及び量子化インデックスXの関係は次式で表される。  
 【0042】本実施例の逆量子化装置では、入力信号C、量子化幅インデックスQ、及び量子化インデックスXの関係は次式で表される。  
 【0043】本実施例の逆量子化装置では、入力信号C、量子化幅インデックスQ、及び量子化インデックスXを結合した信号をアドレス入力として表を構成する下位量子化テーブル5Aと、上位量子化テーブル3Aの出力e1ビットQHと下位量子化テーブル5Aの出力e2ビットQLとを加算する加算器7Aと、加算器7Aの出力a-1ビットを所定の値以下にクリップするクリップ回路8と、入力レジスタ1Aの符号ビットCS及びクリップ回路8の出力a-1ビットを結合して保持し、量子化インデックスX(aビット)を出力する出力レジスタ9Aとから構成されている。

【0044】本実施例の逆量子化装置では、入力信号C、量子化幅インデックスQ、及び量子化インデックスXの関係は次式で表される。

【0045】

30. トAH及び下位d2ビットALは何れも、量子化幅インデックスQと共に、それぞれ上位量子化テーブル3A及び下位量子化テーブル5Aのアドレス入力を構成し、上位量子化テーブル3A及び下位量子化テーブル5Aにおける入力AH、AL、及びQと出力QH及びQLの関係は、次式で表される。

【0046】

出力レジスタ9Aに保持する。そして、この出力レジスタ9Aから符号付き整数として量子化インデックスXが输出される。  
 【0047】ここで、本実施例の量子化装置の量子化テーブル3A及び5Aの大きさを、従来技術を用いた量子化テーブル101と比較する。a=8、b=5、c=12の場合、従来技術による逆量子化テーブル101の大きさは、

9

10

$$2^{(111)} \times c = 2^{111+1} \times 8 = 1,048,576 \text{ (ビット)}$$

である。一方、本実施例の量子化テーブル3A及び5A \*ビット数は、e1=12, e2=10となり、上位量子では、d1=5, d2=5とすれば、上位置子化テーブル化テーブル3A及び下位置子化テーブル5Aの大きさのル3A及び下位置子化テーブル5Aのそれぞれの出力の\*合計は、

$$\begin{aligned} 2^{(111)} \times e1 + 2^{(111)} \times e2 &= 2^{(111)} \times 10 + 2^{(111)} \times 12 \\ &= 22,528 \text{ (ビット)} \end{aligned}$$

であり、従来技術の量子化テーブル101に比べて、約47分の1の大きさに削減されている。

【0043】  
【発明の効果】以上のように本発明によれば、入力信号Cの絶対値を上位及び下位に分け、量子化テーブルを上位及び下位に分けて構成することとしたので、より少ない容量の量子化テーブルで量子化を行なうことができ、より少ないハードウェア量の量子化装置を提供することができる。

【0044】また、量子化インデックスXの絶対値を上位及び下位に分け、逆量子化テーブルを上位及び下位に分けて構成することとしたので、より少ない容量の逆量子化テーブルで逆量子化を行なうことができ、より少ないハードウェア量の逆量子化装置を提供することができる。

## 【図面の簡単な説明】

【図1】本発明の発明原理図である。

【図2】本発明の第1の実施例に係る逆量子化装置の構成図である。

【図3】本発明の第2の実施例に係る逆量子化装置の構成図である。

【図4】本発明の第3の実施例に係る量子化装置の構成図である。

【図5】(a)は従来の量子化装置の構成図、(b)は従来の逆量子化装置の構成図である。  
【符号の説明】

I 第1の保持手段

1A 入力レジスタ

2 1/2除算器

3, 3A 上位置子化テーブル

10 5, 5A 下位置子化テーブル

7 第1の加算手段

7A 加算器

8 クリップ回路

9 第1の変換手段

9A 出力レジスタ

11 第2の保持手段

11A, 11B 入力レジスタ

13, 13A, 13B 上位逆量子化テーブル

15, 15A, 15B 下位逆量子化テーブル

20 17 第2の加算手段

17A, 17B 加算器

18 クリップ回路

19 第2の変換手段

19A, 19B 出力レジスタ

20 電荷定回路

21 変換回路

101 量子化テーブル

103 逆量子化テーブル

C 入力信号

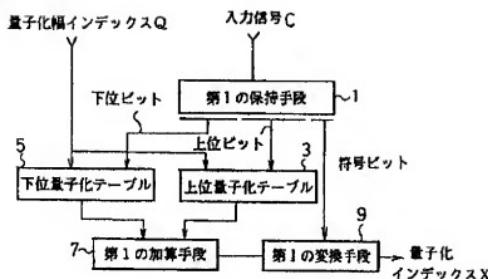
Q 量子化インデックス

X 量子化インデックス

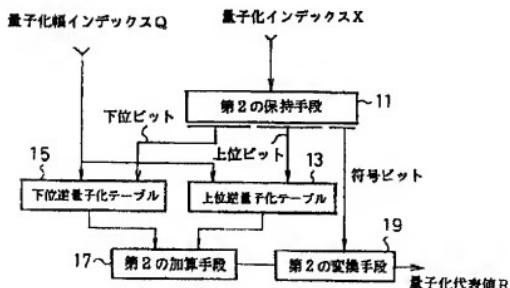
R 量子化代表値

【図1】

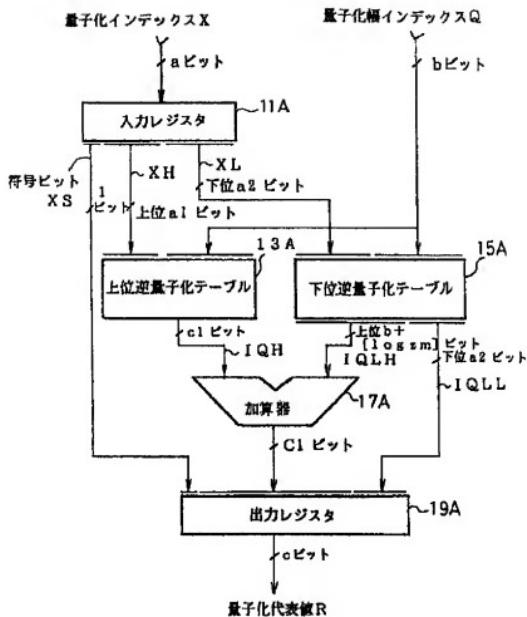
(a)



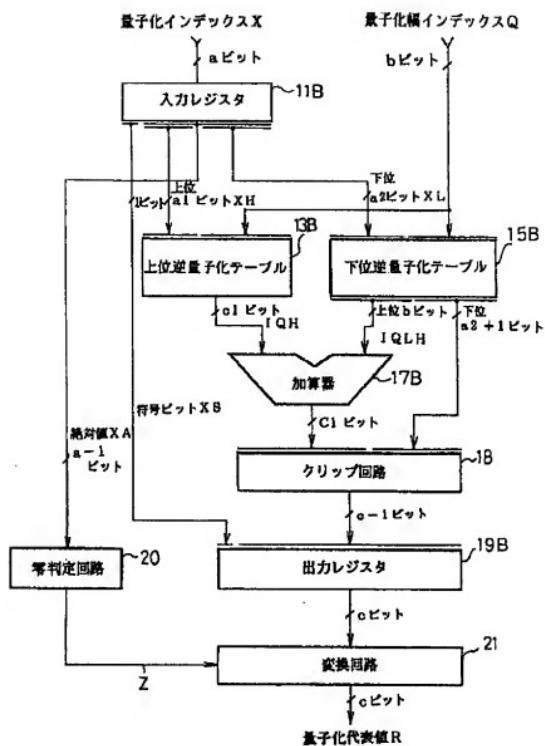
(b)



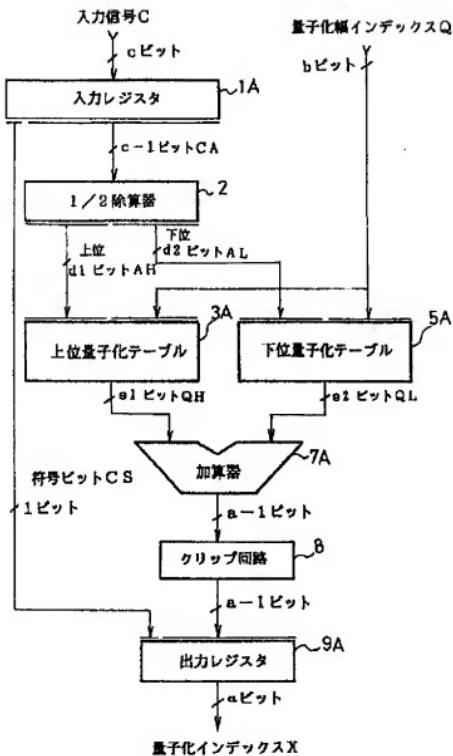
[図2]



【図3】



【図4】



【図5】

